

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: :
:
Masato Yoshioka et al. :
:
Application. No.: TBD : Group Art Unit: TBD
:
Filed: December 10, 2003 : Examiner: TBD
:
Title: INTEGRATED CIRCUIT AND A/D CONVERSION CIRCUIT

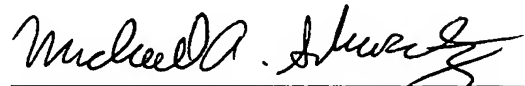
CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

A certified copy of corresponding Japanese Application No. 2002-362471, filed December 13, 2002 is attached. It is requested that the right of priority provided by 35 U.S.C. 119 be extended by the U.S. Patent and Trademark Office.

Respectfully submitted,



Michael A. Schwartz, Reg. No. 40,161
Swidler Berlin Shereff Friedman, LLP
3000 K Street, NW, Suite 300
Washington, DC 20007-5116
Telephone: (202) 424-7856
Facsimile: (202) 295-8478

Date: December 10, 2003



日 本 国 特 許 庁
JAPAN PATENT OFFICE

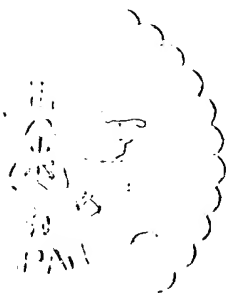
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 6 2 4 7 1
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 6 2 4 7 1]

出 願 人 富 士 通 株 式 会 社
Applicant(s):



2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0241530

【提出日】 平成14年12月13日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H02M 3/00
H03M 1/00

【発明の名称】 集積回路及び A / D 変換回路

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 吉岡 正人

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 後藤 邦彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 山▲崎▼ 博

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 工藤 真大

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 中本 裕之

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデン
プレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路及び A/D 変換回路

【特許請求の範囲】

【請求項 1】 デジタル信号に応じて第 1 のアナログ電圧と第 2 のアナログ電圧との重み付け和に対応する第 1 の電荷量を保持する内分回路と、

該第 1 のアナログ電圧と該第 2 のアナログ電圧との差に対応する第 2 の電荷量を保持する外分回路と、

該第 1 の電荷量と該第 2 の電荷量との和に応じて電圧を生成する増幅回路を含み、該第 1 のアナログ電圧から該第 2 のアナログ電圧までの範囲外の電圧も生成することができることを特徴とする集積回路。

【請求項 2】 該第 1 のアナログ電圧と該第 2 のアナログ電圧との各々は非反転電圧と反転電圧との差動信号で表され、該増幅回路は非反転入力と反転入力とを備え、該外分回路は、該第 1 のアナログ電圧の非反転電圧と該第 2 のアナログ電圧の反転電圧との和に応じた電荷を該増幅回路の非反転入力に接続し、該第 1 のアナログ電圧の反転電圧と該第 2 のアナログ電圧の非反転電圧との和に応じた電荷を該増幅回路の反転入力に接続することを特徴とする請求項 1 記載の集積回路。

【請求項 3】 該外分回路と該増幅回路との間に接続され、該外分回路の保持する電荷を該増幅回路に接続する第 1 の状態と、該外分回路の保持する電荷の符号を反転させて該増幅回路に接続する第 2 の状態とを有するセレクト回路を更に含むことを特徴とする請求項 1 記載の集積回路。

【請求項 4】 該セレクト回路は、該外分回路の保持する電荷を該増幅回路に接続しない第 3 の状態を更に含むことを特徴とする請求項 3 記載の集積回路。

【請求項 5】 該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも 1 つの容量素子を含むことを特徴とする請求項 1 記載の集積回路。

【請求項 6】 該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも 1 つのスイッチ素子

を含むことを特徴とする請求項 1 記載の集積回路。

【請求項 7】該内分回路は、

複数の容量素子と、

複数のスイッチ素子

を含み、第 1 の期間で該デジタル信号に応じて該複数の容量素子を該第 1 のアナログ電圧と第 2 のアナログ電圧の何れかに接続して該複数の容量素子に電荷を蓄積し、第 2 の期間で該容量素子に蓄積された電荷に対応する電位を出力することを特徴とする請求項 1 記載の集積回路。

【請求項 8】該外分回路は、

少なくとも 1 つの容量素子と、

複数のスイッチ素子

を含み、第 1 の期間で該少なくとも 1 つの容量素子に該第 1 のアナログ電圧と該第 2 のアナログ電圧との差に対応する電荷を蓄積し、第 2 の期間で該少なくとも 1 つの容量素子に蓄積された電荷に対応する電位を出力することを特徴とする請求項 1 記載の集積回路。

【請求項 9】該外分回路は複数個設けられ、制御信号に応じて該複数の外分回路のうちの指定の個数の外分回路が駆動されることを特徴とする請求項 1 記載の集積回路。

【請求項 10】デジタル信号に応じて第 1 のアナログ電圧と第 2 のアナログ電圧との重み付け和に対応する第 1 の電荷量を保持する内分回路と、

該第 1 のアナログ電圧と該第 2 のアナログ電圧との差に対応する第 2 の電荷量を保持する外分回路と、

該第 1 の電荷量と該第 2 の電荷量との和に応じて電圧を生成する増幅回路からなる該第 1 のアナログ電圧から該第 2 のアナログ電圧までの範囲外の電圧も生成することができる回路を 2 つ含み、2 つのデジタル制御信号に応じて、2 つのアナログ入力電圧間の隣接する 2 つの内分／外分電圧を出力する回路ブロックを含むことを特徴とする A/D 変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に集積回路に関し、詳しくはスイッチトキャパシタ回路を使用した集積回路及びA/D変換回路に関する。

【従来の技術】

スイッチトキャパシタ回路は、高精度且つ低消費電力のD/A変換回路、A/D変換回路、フィルタ等に広く用いられる要素回路技術である。

【0002】

スイッチトキャパシタ回路を用いたD/A変換回路の従来技術が、例えば特許文献1に示される。この回路は、第1の期間において、 -1 又は 1 の値をとるデジタル信号 S_1 乃至 S_i に応じて V_{r+} 及び V_{r-} の何れかの電荷を i 個のユニット容量 C に保持し、第2の期間において、

$$V_r (S_i + S_{i-1} + \dots + S_1) / i$$

の電圧(V_r は V_{r+} の絶対値又は V_{r-} の絶対値)を出力する。これにより、 V_{r+} 及び V_{r-} 間の内分電圧を生成する。

【0003】

また特許文献2には、2つの差動増幅器と抵抗列とを用いて抵抗分圧し、分圧後の電圧レベルを組み合わせることにより、2つのアナログ電圧 V_1 及び V_2 に対する内分電圧だけでなく、電圧 V_1 及び V_2 に対する外分電圧(電圧 V_1 及び V_2 の範囲外の電圧)をも生成する回路が示される。

【0004】**【特許文献1】**

特開平11-55121号公報

【0005】**【特許文献2】**

特開平6-152413号公報

【発明が解決しようとする課題】

上位ビットに対応する比較器の結果を用いて下位ビットの変換用のアナログ電圧を生成するようなA/D変換回路(例えば補間型等)においては、比較器のオフセットによる判定誤差の影響を低減するために、選択範囲に冗長性を持たせる

ことが一般的である。そのような回路においては、冗長範囲の電圧即ち外分電圧をより簡単で低消費電力な回路構成で実現できることが望まれる。

【0 0 0 6】

特許文献 1 に示す技術は、外分電圧を生成することができない。特許文献 2 に示す技術は、外分電圧を生成することができるが、アンプを 2 つ必要とし結線も複雑であるために、消費電力及び回路面積の面において不利である。更に、抵抗素子の抵抗値は一般にばらつきが大きいので、生成される分圧電圧の精度に問題がある。

【0 0 0 7】

以上を鑑みて、本発明は、高精度に外分電圧を生成できる低消費電力且つ小面積な集積回路を提供することを目的とする。

【課題を解決するための手段】

本発明による集積回路は、デジタル信号に応じて第 1 のアナログ電圧と第 2 のアナログ電圧との重み付け和に対応する第 1 の電荷量を保持する内分回路と、該第 1 のアナログ電圧と該第 2 のアナログ電圧との差に対応する第 2 の電荷量を保持する外分回路と、該第 1 の電荷量と該第 2 の電荷量との和に応じて電圧を生成する増幅回路を含み、該第 1 のアナログ電圧から該第 2 のアナログ電圧までの範囲外の電圧も生成することができることを特徴とする。

【0 0 0 8】

上記説明による集積回路においては、第 1 のアナログ電圧から第 2 のアナログ電圧までの範囲を分圧した内分電圧に対応する電荷を内分回路により保持し、第 1 のアナログ電圧と第 2 のアナログ電圧との差に対応する電荷を外分回路により保持し、これらの電荷を結合して得られる電圧を増幅器により生成することで、内分電圧に所定の電位を加算して外分電圧を生成することができる。従って、ばらつきの少ない容量素子を用いて分圧し、且つ簡単な回路構成で外分電圧を生成することが可能となり、高精度に外分電圧を生成できる低消費電力且つ小面積な集積回路を提供することができる。

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0009】

図1は、本発明によるスイッチトキャパシタ回路の一実施例を示す図である。

【0010】

図1のスイッチトキャパシタ回路10は、正側内分回路11-1、負側内分回路11-2、外分回路12、及び増幅回路13を含む。正側内分回路11-1と負側内分回路11-2とは同一の構成であり、図1において負側内分回路11-2の内部構成は省略して示してある。スイッチトキャパシタ回路10は、第1の入力電圧 V_1 と第2の入力電圧 V_2 とを受け取る。 V_1 は2つの差動信号の差 $V_{1+}-V_{1-}$ として表現され、 V_2 は2つの差動信号の差 $V_{2+}-V_{2-}$ として表現される。正側内分回路11-1は、正側の信号 V_{1+} 及び V_{2+} を受け取り正側の電位についての内分電圧に対応する電荷を保持し、負側内分回路11-2は、負側の信号 V_{1-} 及び V_{2-} を受け取り負側の電位についての内分電圧に対応する電荷を保持する。電荷を保持する容量素子の一端は、正側内分回路11-1及び負側内分回路11-2の出力として、増幅回路13の正負入力に接続される。

【0011】

外分回路12は、 V_{1+} 、 V_{1-} 、 V_{2+} 、及び V_{2-} を受け取り、内分電圧に加算されるべき電荷を保持する。電荷を保持する容量素子の一端は、出力として増幅回路13に接続される。これにより、増幅回路13の出力においては、正側内分回路11-1及び負側内分回路11-2が生成した V_1 から V_2 までの範囲に存在する内分電圧に対して、外分回路12が生成した電圧が加算され、 V_1 から V_2 までの範囲の外に位置する外分電圧を生成することができる。

【0012】

正側内分回路11-1（及び負側内分回路11-2）は、容量回路21-1乃至21-4及び制御回路22を含む。容量回路21-1乃至21-4は同一の構成である。正側内分回路11-1においては、容量回路21-1乃至21-4の各々が正側の信号 V_{1+} 及び V_{2+} を受け取る。負側内分回路11-2においては、容量回路21-1乃至21-4の各々が負側の信号 V_{1-} 及び V_{2-} を受け取る。なお正側内分回路11-1及び負側内分回路11-2の端子Bは、所定の

固定電位に接続されるか又は開放状態とされる。

【0013】

図1において、容量回路21-1乃至21-4の数は4つとして示されるが、これは入力電圧 V_1 及び V_2 間を4分割して内分電圧を生成する構成に対応するものであり、必要に応じて4つ以下或いは4つ以上の数であって構わない。例えば、入力電圧 V_1 及び V_2 間を8分割して内分電圧を生成する場合には、8つの容量回路を設けるように構成すればよい。

【0014】

容量回路21-1は、コンデンサ23及びスイッチ24乃至26を含む。容量回路21-2乃至21-4についても同一の構成である。コンデンサ23の容量値は C_p である。制御回路22が、外部からデジタル信号Dとタイミング信号Cとを受け取り、これら受け取った信号に基づいて、容量回路21-1乃至21-4におけるスイッチ24乃至26の接続を制御する。

【0015】

容量回路21-1において、スイッチ24の接続は、デジタル信号 D_1 の値で決定される。 D_1 が“1”の時に端子A2側に接続され、 D_1 が“0”の時に端子A1側に接続される。また他の容量回路21-2乃至21-4において、スイッチ24の接続は、それぞれデジタル信号 D_2 乃至 D_4 の“1”又は“0”によって同様に制御される。

【0016】

スイッチ25の接続は、タイミング信号 ϕ_2 により決定される。 ϕ_2 がLOWの時にスイッチ24側に接続され、 ϕ_2 がHIGHの時に端子B側に接続される。スイッチ26の接続は、タイミング信号 ϕ_1 により決定される。 ϕ_1 がHIGHの時に固定電圧側に接続され、 ϕ_1 がLOWの時に出力端子側（増幅回路13のzp側）に接続される。

【0017】

図2は、タイミング信号 ϕ_1 と ϕ_2 とのタイミング関係を示す図である。図に示されるように、タイミング信号 ϕ_1 及び ϕ_2 は第1の期間でそれぞれHIGH及びLOWであり、第2の期間でそれぞれLOW及びHIGHである。このタイ

ミング関係を図1の容量回路21-1について見てみると、スイッチ25及び26は第1の期間で図1に示される接続状態にあり、第2の期間でそれぞれ逆側の端子に接続される。これにより、第1の期間でコンデンサ23に蓄えられた電荷が、第2の期間で出力側（増幅回路13側）へと接続されることになる。この電荷量は、デジタル信号D₁乃至D₄の値に応じて、各容量回路21-1乃至21-4毎に異なることになる。

【0018】

これにより正側内分回路11-1が出力する電位は、デジタル信号D₁乃至D₄のうちで“1”である信号の数に応じてV₁⁺及びV₂⁺を重み付けして加算した和となり、具体的には、V₁⁺及びV₂⁺の間を4分割した内分電圧となる。即ち、“1”である信号の数が0、1、2、3、及び4に応じて、出力電位はV₁⁺、(3V₁⁺+V₂⁺)/4、(2V₁⁺+2V₂⁺)/4、(V₁⁺+3V₂⁺)/4、及びV₂⁺となる。また同様に負側内分回路11-2が出力する電位は、デジタル信号D₁乃至D₄のうちで“1”である信号の数に応じてV₁⁺及びV₂⁺を重み付けして加算した和となり、具体的にはV₁⁻及びV₂⁻の間を4分割した内分電圧となる。

【0019】

図1を参照し、外分回路12は、容量回路31-1及び31-2と制御回路32を含む。制御回路32は、制御信号C₁及びクロック信号CLKを受け取り、これらの信号に基づいて容量回路31-1及び31-2を制御する。容量回路31-1及び31-2は同一の構成である。容量回路31-1はV₁⁺及びV₂⁻を入力として受け取り、容量回路31-2はV₁⁻及びV₂⁺を入力として受け取る。容量回路31-1及び31-2の双方において、これらの入力を入力A1及びA2として示してある。

【0020】

図3は、容量回路31-1（又は31-2）の構成を示す図である。容量回路31-1は、容量回路35-1及び35-2を含む。容量回路35-1及び35-2は同一の構成である。容量回路35-1は、上記入力A1と所定の固定電位（又は開放）とを入力として受け取り、容量回路35-2は、上記入力A2と所

定の固定電位（又は開放）とを入力として受け取る。容量回路 35-1 及び 35-2 の双方において、これらの入力を入力 1A 及び 1B として示してある。

【0021】

図 4 は、容量回路 35-1（又は 35-2）の構成を示す図である。容量回路 35-1 は、コンデンサ 51 及びスイッチ 52 乃至 55 を含む。コンデンサ 51 の容量値は C_p である。スイッチ 52 乃至 55 の接続は、制御回路 32 から供給されるタイミング信号 ϕ_1 及び ϕ_2 によって制御される。タイミング信号 ϕ_1 及び ϕ_2 は、図 2 に示される信号であり、第 1 の期間でそれぞれ HIGH 及び LOW であり、第 2 の期間でそれぞれ LOW 及び HIGH である。

【0022】

図 4 に示される各スイッチ 52 乃至 55 の接続状態は、第 1 の期間における状態を示しており、第 2 の期間においてはスイッチ 53 及び 54 は図示の接続端子と逆側の端子に接続され、スイッチ 55 は閉じて導通状態にされる。このようにして、第 1 の期間で電荷を蓄えたコンデンサ 51 の一端が、第 2 の期間で出力端子 O へと接続されることになる。この電荷に対応する電位は、容量回路 31-1 の容量回路 35-1 及び 35-2 においてそれぞれ V_{1+} 及び V_{2-} であり、容量回路 31-2 の容量回路 35-1 及び 35-2 においてそれぞれ V_{1-} 及び V_{2+} である。

【0023】

従って増幅回路 13 の z_p 入力側には、外分回路 12 から V_{1+} 及び V_{2-} が供給され、 z_m 入力側には外分回路 12 から V_{1-} 及び V_{2+} が供給される。

【0024】

図 1 を参照して、増幅回路 13 は、差動増幅器 41、スイッチ 42 及び 43、及びコンデンサ 44 及び 45 を含む。スイッチ 42 及び 43 はタイミング信号 ϕ_1 によって制御され、第 1 の期間において差動増幅器の入出力を短絡して同電位にし、第 2 の期間において開放される。この第 2 の期間において、容量 44 及び 45 と差動増幅器 41 の入力側に接続される容量（正側内分回路 11-1、負側内分回路 11-2、及び外分回路 12 内部の容量）との比率に従い、差動増幅器 41 のゲインが所望の値に設定される。ここでコンデンサ 44 及び 45 の各々の

容量値は、正側内分回路 11-1、負側内分回路 11-2、及び外分回路 12 で使用される容量値 C_p の 4 倍に設定される。

【0025】

以上の構成により、増幅回路 13 の出力には、図 5 に示されるような電圧が現れる。図 5 は、スイッチトキャパシタ回路 10 へ供給する制御信号と、制御信号に応じて第 1 の期間に記憶される電圧と、その電圧に基づいて第 2 の期間において出力される差動出力電圧を示す表である。

【0026】

制御信号 C_1 は外分処理を指示する信号であり、“1” の場合には外分回路 12 が動作して、外分電圧を求めるために内分電圧に加算される電圧が生成される。外分回路 12 が生成する電圧は、図 5 の表において M2 として示される。デジタル信号 D_1 乃至 D_4 は、正側内分回路 11-1 及び負側内分回路 11-2 が生成する内分電圧値を指定する信号であり、例えば D_1 のみが“1”である場合には、 $(3V_1 + V_2) / 4$ に対応する内分電圧が生成される。また例えば D_1 及び D_2 のみが“1”である場合には、 $(2V_1 + 2V_2) / 4$ に対応する内分電圧が生成される。正側内分回路 11-1 及び負側内分回路 11-2 が保持する電荷に対応する電圧値は、図 5 の表において M1 として示される。

【0027】

増幅回路 13 の出力は、図 5 の表において M1 (z p 側) と M2 (z p 側) との和から M1 (z m 側) と M2 (z m 側) との和を引いて、更に $1/4$ を掛けた電圧値となる。

【0028】

このようにして制御信号 C_1 及びデジタル信号 D_1 乃至 D_4 に応じて、図 5 の最右欄に示されるような差動出力電圧が得られる。例えば、最上欄に示される出力電圧は $(5V_1 - V_2) / 4$ であり、これは $V_1 + (V_1 - V_2) / 4$ に等しいので、 V_1 及び V_2 間の 4 分割に等しい電圧分を V_1 の外側にとった電位が得られることになる。

【0029】

図 1 の構成では、外分回路 12 は 1 つとして示したが、複数の外分回路 12 を

設けて、制御信号 C_n ($n=1, 2, 3, \dots$) により各外分回路 12 の駆動／非駆動を制御するようにしてもよい。外分回路 12 を 1 つだけ設ける図 1 の構成の場合には、図 5 の表のように外分電圧は $(5V_1 - V_2) / 4$ の一点しか生成することができないが、複数の外分回路 12 を設ける構成とすれば、複数の外分電圧を生成することが可能となる。

【0030】

図 6 は、図 1 に示すスイッチトキャパシタ回路 10 の変形例を示す図である。図 6 において、図 1 と同一の構成要素は同一の番号で参照し、その説明は省略する。

【0031】

図 6 のスイッチトキャパシタ回路 10 A は、図 1 のスイッチトキャパシタ回路 10 に対して、セレクト回路 14 が追加された構成となっている。セレクト回路 14 は、スイッチ 61 及び 62 を含む。スイッチ 61 は、 $C_1 \cdot S_1 \cdot \phi_2$ が “1” であれば上側の端子 (z_p 側) に接続され、 $C_1 \cdot S_2 \cdot \phi_2$ が “1” であれば下側の端子 (z_m 側) に接続される。スイッチ 62 は、 $C_1 \cdot S_1 \cdot \phi_2$ が “1” であれば下側の端子 (z_m 側) に接続され、 $C_1 \cdot S_2 \cdot \phi_2$ が “1” であれば上側の端子 (z_p 側) に接続される。 $C_1 \cdot S_1 \cdot \phi_2$ 及び $C_1 \cdot S_2 \cdot \phi_2$ が共に “0” である場合には、スイッチ 61 及び 62 は、何れの端子にも接続されない。

【0032】

図 7 は、スイッチトキャパシタ回路 10 A へ供給する制御信号と、制御信号に応じて第 1 の期間に記憶される電圧と、その電圧に基づいて第 2 の期間において出力される差動出力電圧を示す表である。

【0033】

図 7 の表の最上段に示されるように、スイッチ制御信号 S_1 を “1” とすることで、 V_1 の外側の外分電圧 $V_1 + (V_1 - V_2) / 4$ を生成することができる。また更に表の最下段に示されるように、スイッチ制御信号 S_2 を “1” とすることで、 V_2 の外側の外分電圧 $V_2 + (V_2 - V_1) / 4$ を生成することができる。また更に表の 2 段目から 6 段目に示されるように、スイッチ制御信号 S_1 及

び S_2 を共に“0”にすることで、外分回路12を増幅回路13から切り離して外分回路12の出力電圧を加算しない構成とし、これにより V_1 から V_2 までの範囲を4分割した内分電圧を生成することができる。

【0034】

このようにして図6のスイッチトキャパシタ回路10Aにおいては、セレクト回路14を設けることで、外分回路12の出力の接続を自由に制御する。これにより、外分回路12の出力電圧を加算方向に加える動作と、外分回路12の出力電圧を減算方向に加える動作との選択が可能となり、入力電圧より高い電圧側と低い電圧側との両側において外分電圧を求めることが可能となる。

【0035】

図8は、図1に示す容量回路21-1の別の実施例を示す図である。

【0036】

図8の容量回路21-1Aは、コンデンサ71及びスイッチ72乃至74を含む。図1に示す容量回路21-1と同様に、デジタル信号 D_n とタイミング信号 ϕ_1 及び ϕ_2 とにより、スイッチ72乃至74の接続が制御される。これにより、図2に示される第1の期間において、デジタル信号 D_n に応じた電荷量がコンデンサ71に蓄積され、第2の期間において、この電荷量を保持するコンデンサ71の一端が出力端子Oに接続される。

【0037】

図9は、図1に示す容量回路21-1の更に別の実施例を示す図である。

【0038】

図9の容量回路21-1Bは、コンデンサ81及びスイッチ82及び83を含む。図1に示す容量回路21-1と同様に、デジタル信号 D_n とタイミング信号 ϕ_1 及び ϕ_2 とにより、スイッチ82及び83の接続が制御される。これにより、図2に示される第1の期間において、デジタル信号 D_n に応じた電荷量がコンデンサ81に蓄積され、第2の期間において、この電荷量に対応する電位が出力端子Oに出力される。

【0039】

図10は、図4に示す容量回路35-1の別の実施例を示す図である。

【0040】

図10の容量回路35-1Aは、コンデンサ91及びスイッチ92乃至94を含む。図4に示す容量回路35-1と同様に、タイミング信号 $\phi 1$ 及び $\phi 2$ により、スイッチ92乃至94の接続が制御される。これにより、図2に示される第1の期間において、入力1Aに応じた電荷量がコンデンサ91に蓄積され、第2の期間において、この電荷量に対応する電位が出力端子Oに出力される。

【0041】

図11は、図4に示す容量回路35-1の更に別の実施例を示す図である。

【0042】

図11の容量回路35-1Bは、コンデンサ101及びスイッチ102及び103を含む。図4に示す容量回路35-1と同様に、タイミング信号 $\phi 1$ 及び $\phi 2$ により、スイッチ102及び103の接続が制御される。これにより、図2に示される第1の期間において、入力1Aに応じた電荷量がコンデンサ101に蓄積され、第2の期間において、この電荷量に対応する電位が出力端子Oに出力される。

【0043】

図12は、図1に示す増幅回路13の別の実施例を示す図である。

【0044】

図12に示す増幅回路13Aは、差動増幅器111及びスイッチ112及び113を含む。スイッチ112及び113は、タイミング信号 $\phi 1$ 又は $\phi 2$ によって制御される。スイッチ112及び113は、図2に示す第1の期間で差動増幅器111の入出力を短絡して同電位に設定し、第2の期間で開放されて差動増幅器111の増幅動作を可能にする。

【0045】

図13は、図1に示す増幅回路13の更なる別の実施例を示す図である。

【0046】

図13に示す増幅回路13Bは、差動増幅器121、スイッチ122及び123、コンデンサ124及び125、及びスイッチ126乃至129を含む。スイッチ122及び123並びにスイッチ127及び129は、タイミング信号 $\phi 1$

により制御され、第1の期間で短絡され第2の期間で開放される。スイッチ122及び123が第1の期間で短絡されると、差動増幅器121の入出力が短絡されて同電位に設定される。またスイッチ127及び129が第1の期間で短絡されると、差動増幅器121の短絡状態にある入出力電位がコンデンサ124及び125に蓄えられる。これにより、差動増幅器121のオフセットがコンデンサ124及び125に電圧差として保持されることになる。

【0047】

第2の期間でスイッチ122、123、127及び129が開放され且つスイッチ126及び128が短絡されると、コンデンサ124及び125が保持する電位によって差動増幅器121のオフセットを相殺することができる。これにより正確な差動増幅動作を実現することが可能になる。

【0048】

図14は、図1に示す増幅回路13の更なる別の実施例を示す図である。

【0049】

図14に示す増幅回路13Cは、差動増幅器131及びコンデンサ132及び133を含む。コンデンサ132及び133は、図1に示す増幅回路13のコンデンサ44及び45と同様に、差動増幅器131の入力側に接続される容量との比率に従って、差動増幅器131のゲインを所望の値に設定する。

【0050】

以上の説明においては、差動信号に基づいて動作するスイッチトキャパシタ回路の構成について説明したが、本発明によるスイッチトキャパシタ回路は差動信号でなく単一信号により動作する構成とすることもできる。

【0051】

図15は、本発明による単一信号構成のスイッチトキャパシタ回路の構成を示す図である。

【0052】

図15のスイッチトキャパシタ回路10Bは、内分回路11B、外分回路12B、及び増幅回路13Bを含む。内分回路11Bは、コンデンサ151及び152、スイッチ153乃至158を含む。スイッチ153は $D_1 \cdot \phi_1$ が“1”の

ときに導通し、スイッチ 154 は $D_{1b} \cdot \phi_1$ が “1” のときに導通する。ここでデジタル信号 D_1 と D_{1b} とは互いに相補関係にある。スイッチ 155 はタイミング信号 ϕ_2 により制御され、第 2 の期間に導通される。従って、第 1 の期間において、デジタル信号 D_1 に応じて V_1 又は V_2 に対応する電荷がコンデンサ 151 に蓄えられ、第 2 の期間においてこの電荷が増幅回路 13B の入力端子に接続される。

【0053】

またコンデンサ 152 及びスイッチ 156 乃至 158 についても同様の動作であり、デジタル信号 D_0 に応じて V_1 又は V_2 に対応する電荷がコンデンサ 152 に蓄えられ、第 2 の期間においてこの電荷が増幅回路 13B の入力端子に接続される。なおここでコンデンサ 151 及び 152 の数は 2 つとしたが、これは入力 V_1 及び V_2 間を 2 分割に内分する構成に対応するものであり、分割数に応じて 2 つ以上の数のコンデンサを設けてよい。

【0054】

外分回路 12B は、コンデンサ 161 及びスイッチ 162 乃至 167 を含む。スイッチ 162 及び 163 は、タイミング信号 ϕ_1 により制御され、第 1 の期間で短絡される。これにより V_1 と V_2 の差分に等しい電圧がコンデンサ 161 に保持される。デジタル信号 X_1 及び X_2 は、 V_1 の外側の外分電圧を求めるか V_2 の外側の外分電圧を求めるかを指示する信号であり、何れか一方が “1” である場合に他方は “0” となる。 X_1 が “1” の場合には、第 2 の期間でスイッチ 165 及び 167 が導通しそれ以外のスイッチは開放状態となり、 $V_2 - V_1$ に対応する電荷が増幅回路 13B に接続される。 X_2 が “1” の場合には、第 2 の期間でスイッチ 164 及び 166 が導通しそれ以外のスイッチは開放状態となり、 $V_1 - V_2$ に対応する電荷が増幅回路 13B に接続される。

【0055】

増幅回路 13B は、差動増幅器 171、コンデンサ 172、及びスイッチ 173 を含む。スイッチ 173 はタイミング信号 ϕ_2 によって制御され、第 1 の期間において差動増幅器の入出力を短絡して同電位にし、第 2 の期間において開放される。この第 2 の期間において、コンデンサ 172 の容量と差動増幅器 171 の

入力側に接続される容量との比率に従い、差動増幅器 171 のゲインが所望の値に設定される。ここでコンデンサ 172 の容量値は、内分回路 11B 及び外分回路 12B で使用される容量値 C_p の 2 倍に設定される。

【0056】

上記の構成によって、内分回路 11B により V_1 と V_2 の間を 2 分割した内分電圧を生成し、更に外分回路 12B により $V_2 - V_1$ 又は $V_1 - V_2$ を生成して内分電圧に選択的に加算する。これにより、 X_1 及び X_2 を “0” とすることで、 V_1 、 $(V_1 + V_2) / 2$ 、及び V_2 の内分電圧を増幅回路 13B から出力することができる。また X_1 を “1” とし、例えば $V_2 + (V_2 - V_1) / 2$ を増幅回路 13B から出力したり、 X_2 を “1” とし、例えば $V_1 + (V_1 - V_2) / 2$ を増幅回路 13B から出力したりすることができる。

【0057】

図 16 は、本発明によるスイッチトキャパシタ回路を使用した A/D 変換器の構成の一例を示す図である。

【0058】

図 16 の A/D 変換器は、サブ A/D 変換器 181、エンコーダ 182、及び 2 つのスイッチトキャパシタ回路 10 を含む。入力 V_{i1} 及び入力 V_{i2} は、各々が差動信号で構成される。なお差動信号でなく単一信号を用いる場合には、スイッチトキャパシタ回路 10 ではなく図 15 のスイッチトキャパシタ回路 10B を用いればよい。図 16 に示すのは、アナログ信号をデジタル信号に変換する際に、出力デジタル信号の全ビットのうちで一部分のビットを生成する一段分に相当し、図 16 に示される回路が直列に複数段接続されることで、出力デジタル信号の全ビットを生成することができる。

【0059】

入力 V_{i1} 及び入力 V_{i2} は、それぞれが幅を有した信号である。サブ A/D 変換器 181 は入力 V_{i1} の幅と入力 V_{i2} の幅との比を検出することで、 V_{i1} の上限と V_{i2} の下限の間の範囲で、両信号の境界位置を 2 値コードとして出力する。

【0060】

例えば V_{i1} の上限と V_{i2} の下限の間の範囲を 4 分割し、各分割部分に下側から順番に “00”、“01”、“10”、及び “11” としてコードを割り当てる。検出された境界位置が上から 2 番目の分割部分の範囲に含まれる場合には、サブ A/D 変換器 181 はコード “10” を出力する。これがデジタルコード出力 B_n として外部に出力される。

【0061】

このデジタルコード B_n に基づいて、エンコーダ 182 はデジタル信号 D_{1n} 及び D_{2n} を生成し、各スイッチトキャパシタ回路 10 に供給する。図面上側のスイッチトキャパシタ回路 10 は、デジタル信号 D_{1n} に基づいて、コード “10” に対応する範囲内で上記境界位置以上の領域に幅を有する信号 V_{o1} を生成して出力する。また図面下側のスイッチトキャパシタ回路 10 は、デジタル信号 D_{2n} に基づいて、コード “10” に対応する範囲内で上記境界位置以下の領域に幅を有する信号 V_{o2} を生成して出力する。このようにして生成された信号 V_{o1} と V_{o2} とは、次段の A/D 変換器に供給され、更に下位のビットの値を決定する処理が実行される。

【0062】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【0063】

なお本発明は以下の内容を含むものである。

(付記 1) デジタル信号に応じて第 1 のアナログ電圧と第 2 のアナログ電圧との重み付け和に対応する第 1 の電荷量を保持する内分回路と、

該第 1 のアナログ電圧と該第 2 のアナログ電圧との差に対応する第 2 の電荷量を保持する外分回路と、

該第 1 の電荷量と該第 2 の電荷量との和に応じて電圧を生成する増幅回路を含み、該第 1 のアナログ電圧から該第 2 のアナログ電圧までの範囲外の電圧も生成することができることを特徴とする集積回路。

(付記 2) 該第 1 のアナログ電圧と該第 2 のアナログ電圧との各々は非反転電圧と反転電圧との差動信号で表され、該増幅回路は非反転入力と反転入力とを備え

、該外分回路は、該第 1 のアナログ電圧の非反転電圧と該第 2 のアナログ電圧の反転電圧との和に応じた電荷を該増幅回路の非反転入力に接続し、該第 1 のアナログ電圧の反転電圧と該第 2 のアナログ電圧の非反転電圧との和に応じた電荷を該増幅回路の反転入力に接続することを特徴とする付記 1 記載の集積回路。

(付記 3) 該外分回路と該増幅回路との間に接続され、該外分回路の保持する電荷を該増幅回路に接続する第 1 の状態と、該外分回路の保持する電荷の符号を反転させて該増幅回路に接続する第 2 の状態とを有するセクタ回路を更に含むことを特徴とする付記 1 記載の集積回路。

(付記 4) 該セクタ回路は、該外分回路の保持する電荷を該増幅回路に接続しない第 3 の状態を更に含むことを特徴とする付記 3 記載の集積回路。

(付記 5) 該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも 1 つの容量素子を含むことを特徴とする付記 1 記載の集積回路。

(付記 6) 該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも 1 つのスイッチ素子を含むことを特徴とする付記 1 記載の集積回路。

(付記 7) 該内分回路は、

複数の容量素子と、

複数のスイッチ素子

を含み、第 1 の期間で該デジタル信号に応じて該複数の容量素子を該第 1 のアナログ電圧と第 2 のアナログ電圧の何れかに接続して該複数の容量素子に電荷を蓄積し、第 2 の期間で該容量素子に蓄積された電荷に対応する電位を出力することを特徴とする付記 1 記載の集積回路。

(付記 8) 該外分回路は、

少なくとも 1 つの容量素子と、

複数のスイッチ素子

を含み、第 1 の期間で該少なくとも 1 つの容量素子に該第 1 のアナログ電圧と該

第 2 のアナログ電圧との差に対応する電荷を蓄積し、第 2 の期間で該少なくとも 1 つの容量素子に蓄積された電荷に対応する電位を出力することを特徴とする付記 1 記載の集積回路。

(付記 9) 該外分回路は複数個設けられ、制御信号に応じて該複数の外分回路のうちの指定の個数の外分回路が駆動されることを特徴とする付記 1 記載の集積回路。

(付記 1 0) デジタル信号に応じて第 1 のアナログ電圧と第 2 のアナログ電圧との重み付け和に対応する第 1 の電荷量を保持する内分回路と、

該第 1 のアナログ電圧と該第 2 のアナログ電圧との差に対応する第 2 の電荷量を保持する外分回路と、

該第 1 の電荷量と該第 2 の電荷量との和に応じて電圧を生成する増幅回路からなる該第 1 のアナログ電圧から該第 2 のアナログ電圧までの範囲外の電圧も生成することができる回路を 2 つ含み、2 つのデジタル制御信号に応じて、2 つのアナログ入力電圧間の隣接する 2 つの内分／外分電圧を出力する回路ブロックを含むことを特徴とする A/D 変換回路。

(付記 1 1) 該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも 1 つのスイッチ素子と

該増幅器の入出力間に挿入される少なくとも 1 つの容量素子を含むことを特徴とする付記 1 記載の集積回路。

【発明の効果】

上記説明による集積回路においては、第 1 のアナログ電圧から第 2 のアナログ電圧までの範囲を分圧した内分電圧に対応する電荷を内分回路により保持し、第 1 のアナログ電圧と第 2 のアナログ電圧との差に対応する電荷を外分回路により保持し、これらの電荷を結合して得られる電圧を増幅器により増幅することで、内分電圧に所定の電位を加算して外分電圧を生成することができる。従って、ばらつきの少ない容量素子を用いて分圧し、且つ簡単な回路構成で外分電圧を生成することが可能となり、高精度に外分電圧を生成できる低消費電力且つ小面積な集積回路を提供することができる。

【図面の簡単な説明】**【図 1】**

本発明によるスイッチトキャパシタ回路の一実施例を示す図である。

【図 2】

タイミング信号 $\phi 1$ と $\phi 2$ とのタイミング関係を示す図である。

【図 3】

容量回路の構成を示す図である。

【図 4】

容量回路の構成を示す図である。

【図 5】

スイッチトキャパシタ回路へ供給する制御信号と、制御信号に応じて第 1 の期間に記憶される電圧と、その電圧に基づいて第 2 の期間において出力される差動出力電圧についての表を示す図である。

【図 6】

図 1 に示すスイッチトキャパシタ回路の変形例を示す図である。

【図 7】

図 6 のスイッチトキャパシタ回路へ供給する制御信号と、制御信号に応じて第 1 の期間に記憶される電圧と、その電圧に基づいて第 2 の期間において出力される差動出力電圧についての表を示す図である。

【図 8】

図 1 に示す容量回路の別の実施例を示す図である。

【図 9】

図 1 に示す容量回路の更に別の実施例を示す図である。

【図 1 0】

図 4 に示す容量回路の別の実施例を示す図である。

【図 1 1】

図 4 に示す容量回路の更に別の実施例を示す図である。

【図 1 2】

図 1 に示す増幅回路の別の実施例を示す図である。

【図 1 3】

図 1 に示す増幅回路の更なる別の実施例を示す図である。

【図 1 4】

図 1 に示す増幅回路の更なる別の実施例を示す図である。

【図 1 5】

本発明による単一信号構成のスイッチトキャパシタ回路の構成を示す図である

。

【図 1 6】

本発明によるスイッチトキャパシタ回路を使用した A/D 変換器の構成の一例を示す図である。

【符号の説明】

1 0 スイッチトキャパシタ回路

1 1 - 1 正側内分回路

1 1 - 2 負側内分回路

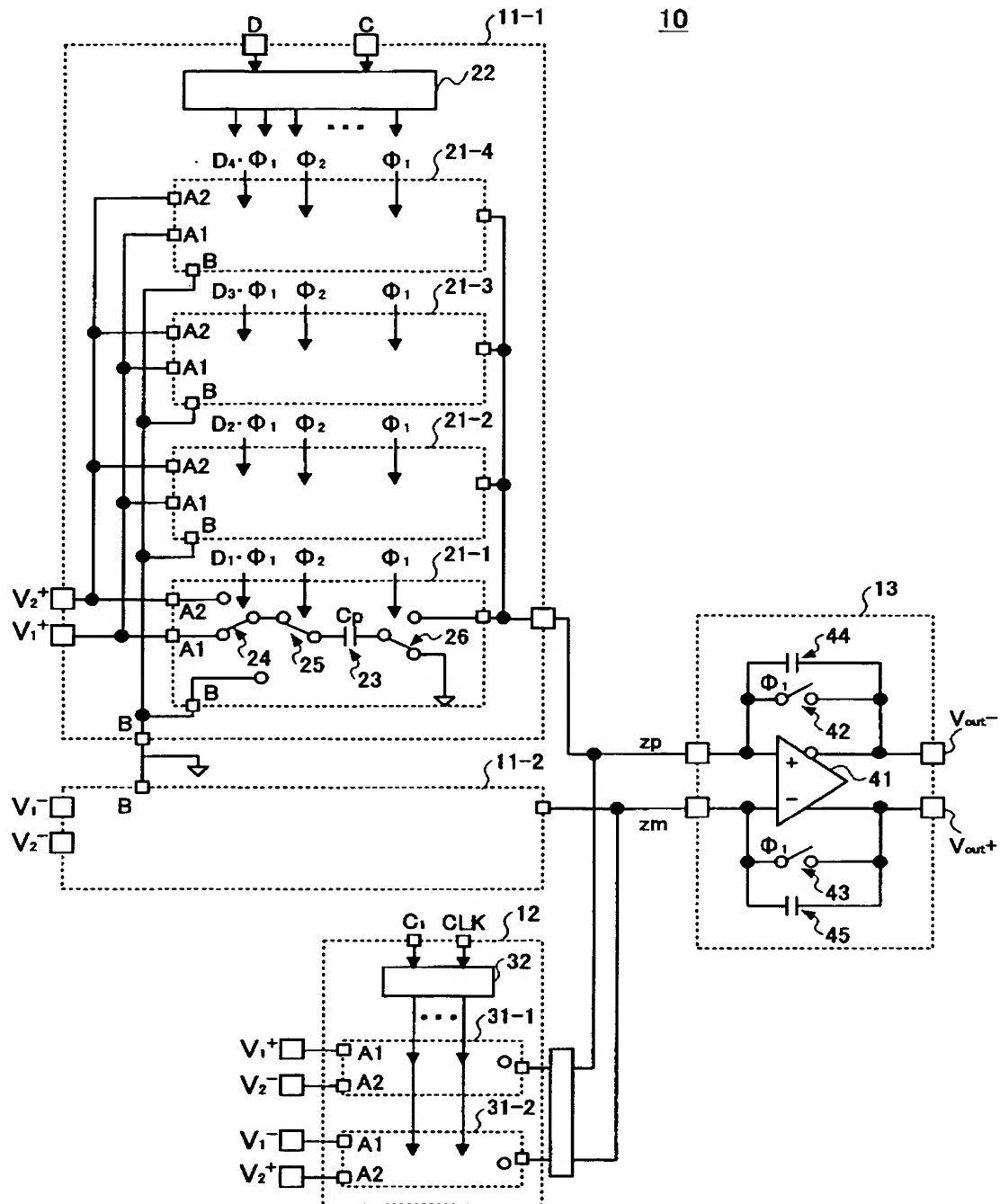
1 2 外分回路

1 3 増幅回路

【書類名】 図面

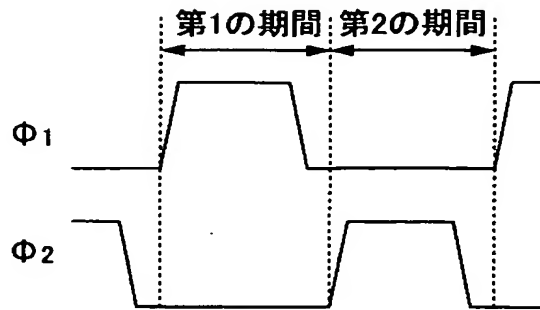
【図 1】

本発明によるスイッチトキャパシタ回路の一実施例を示す図



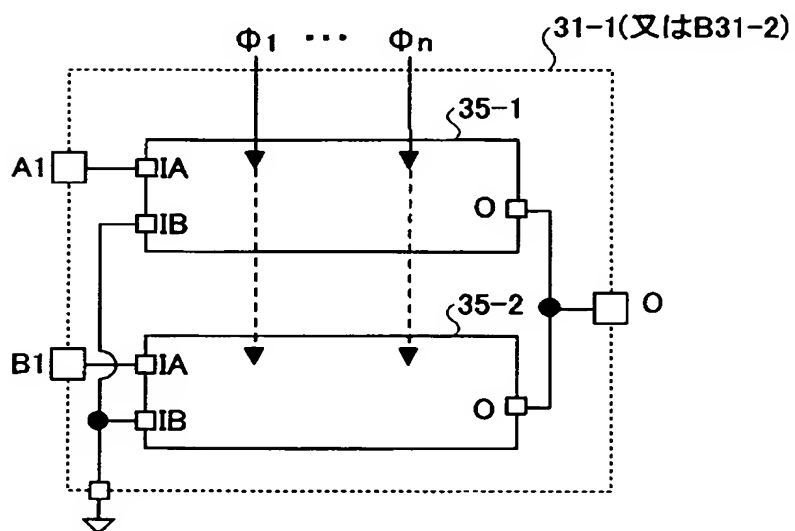
【図 2】

タイミング信号 $\phi 1$ と $\phi 2$ とのタイミング関係を示す図



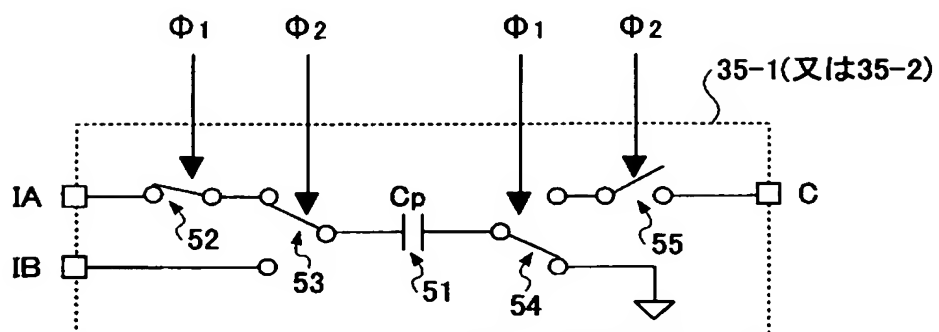
【図 3】

容量回路の構成を示す図



【図 4】

容量回路の構成を示す図



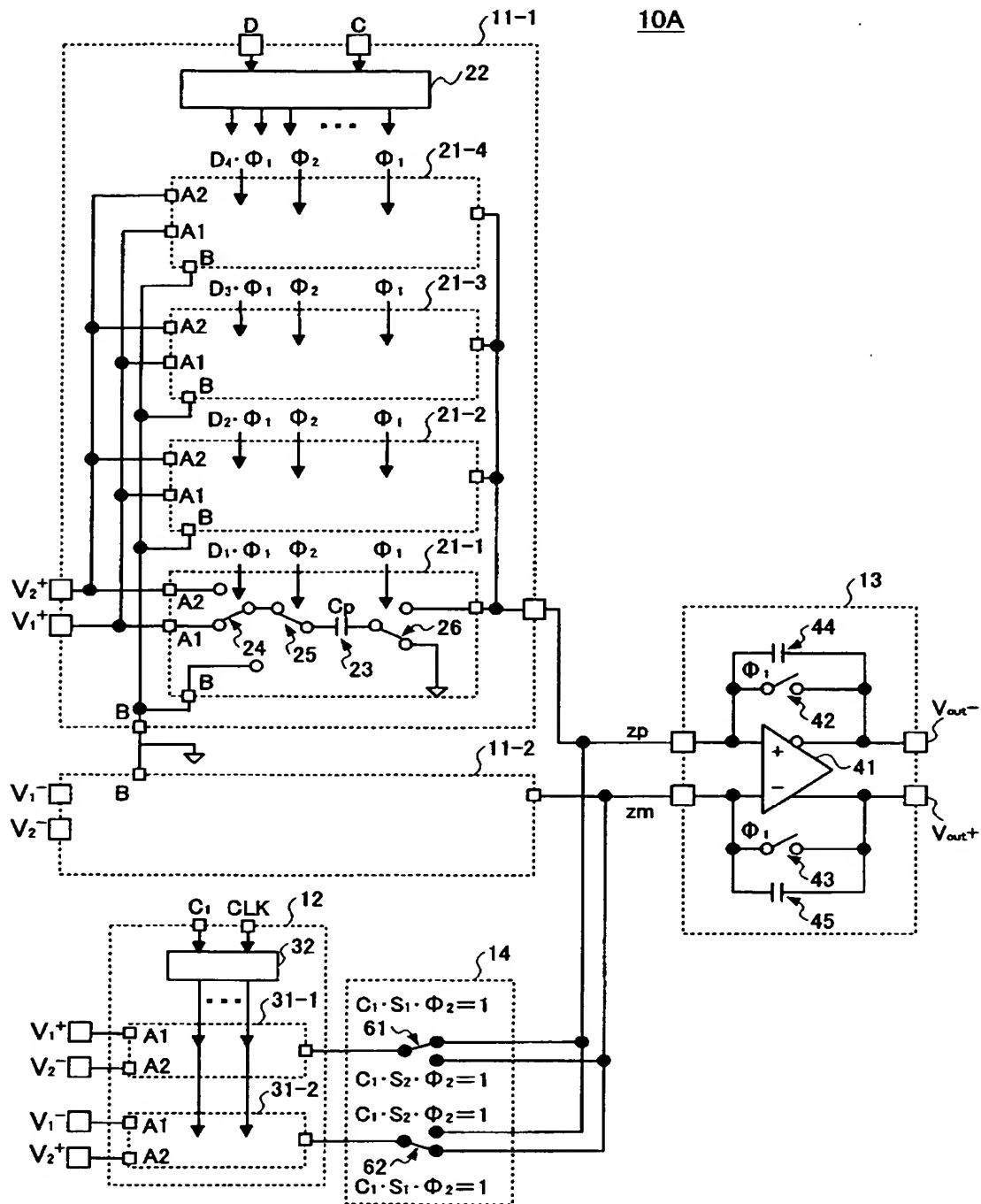
【図 5】

スイッチトキャパシタ回路へ供給する制御信号と、制御信号に応じて第1の期間に記憶される電圧と、その電圧に基づいて第2の期間において出力される差動出力電圧についての表を示す図

制御信号					第1の期間に記憶する電圧				第2の期間の 差動出力電圧
D4	D3	D2	D1	C1	M1(zp側)	M1(zm側)	M2(zp側)	M2(zm側)	$V_{out}^+ - V_{out}^-$
0	0	0	0	1	$4V_1^+$	$4V_1^-$	$V_1^+ + V_2^-$	$V_1^- + V_2^+$	$\frac{5 \cdot (V_1^+ - V_1^-) - (V_2^+ - V_2^-)}{4}$
0	0	0	1	1	$3V_1^+ + V_2^+$	$3V_1^- + V_2^-$	$V_1^+ + V_2^-$	$V_1^- + V_2^+$	$\frac{4 \cdot (V_1^+ - V_1^-)}{4}$
0	0	1	1	1	$2V_1^+ + 2V_2^+$	$2V_1^- + 2V_2^-$	$V_1^+ + V_2^-$	$V_1^- + V_2^+$	$\frac{3 \cdot (V_1^+ - V_1^-) + 1 \cdot (V_2^+ - V_2^-)}{4}$
0	1	1	1	1	$V_1^+ + 3V_2^+$	$V_1^- + 3V_2^-$	$V_1^+ + V_2^-$	$V_1^- + V_2^+$	$\frac{2 \cdot (V_1^+ - V_1^-) + 2 \cdot (V_2^+ - V_2^-)}{4}$
1	1	1	1	1	$4V_2^+$	$4V_2^-$	$V_1^+ + V_2^-$	$V_1^- + V_2^+$	$\frac{1 \cdot (V_1^+ - V_1^-) + 3 \cdot (V_2^+ - V_2^-)}{4}$

【図 6】

図1に示すスイッチトキャパシタ回路の変形例を示す図



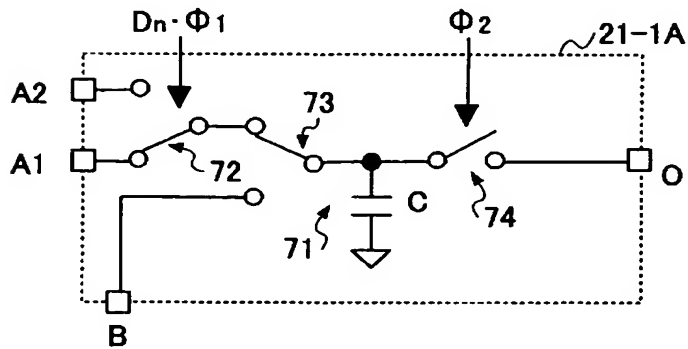
【圖 7】

図6のスイッチトキャパシタ回路へ供給する制御信号と、制御信号に応じて第1の期間に記憶される電圧と、その電圧に基づいて第2の期間において出力される差動出力電圧についての表を示す図

制御信号							第1の期間に記憶する電圧			第2の期間の 差動出力電圧 $V_{out}^+ - V_{out}^-$	
D4	D3	D2	D1	C1	S1	S2	M1(zp側)	M1(zm側)	M2(zp側)	M2(zm側)	
0	0	0	0	1	1	0	$4V_1^+$	$4V_1^-$	$V_1^+ + V_2^-$	$V_1^- + V_2^+$	$\frac{5 \cdot (V_1^+ - V_1^-) - (V_2^+ - V_2^-)}{4}$
0	0	0	0	1	0	0	$4V_1^+$	$4V_1^-$	$V_1^+ + V_2^-$ (加算せず)	$V_1^- + V_2^+$ (加算せず)	$\frac{4 \cdot (V_1^+ - V_1^-)}{4}$
0	0	0	1	1	0	0	$3V_1^+ + V_2^+$	$3V_1^- + V_2^-$	$V_1^+ + V_2^-$ (加算せず)	$V_1^- + V_2^+$ (加算せず)	$\frac{3 \cdot (V_1^+ - V_1^-) + 1 \cdot (V_2^+ - V_2^-)}{4}$
0	0	1	1	1	0	0	$2V_1^+ + 2V_2^+$	$2V_1^- + 2V_2^-$	$V_1^+ + V_2^-$ (加算せず)	$V_1^- + V_2^+$ (加算せず)	$\frac{2 \cdot (V_1^+ - V_1^-) + 2 \cdot (V_2^+ - V_2^-)}{4}$
0	1	1	1	1	0	0	$V_1^+ + 3V_2^+$	$V_1^- + 3V_2^-$	$V_1^+ + V_2^-$ (加算せず)	$V_1^- + V_2^+$ (加算せず)	$\frac{1 \cdot (V_1^+ - V_1^-) + 3 \cdot (V_2^+ - V_2^-)}{4}$
1	1	1	1	1	0	0	$4V_2^+$	$4V_2^-$	$V_1^+ + V_2^-$ (加算せず)	$V_1^- + V_2^+$ (加算せず)	$\frac{4 \cdot (V_2^+ - V_2^-)}{4}$
1	1	1	1	1	0	1	$4V_2^+$	$4V_2^-$	$V_1^+ + V_2^-$ (加算せず)	$V_1^- + V_2^+$ (加算せず)	$\frac{-(V_1^+ - V_1^-) + 5 \cdot (V_2^+ - V_2^-)}{4}$

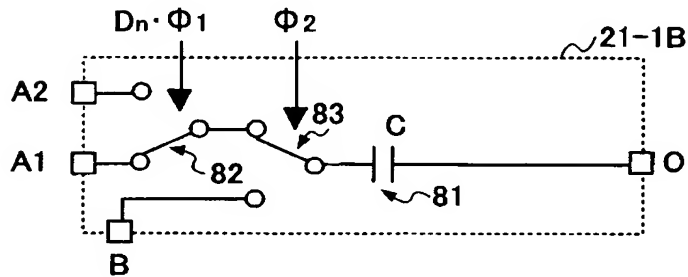
【図 8】

図 1 に示す容量回路の別の実施例を示す図



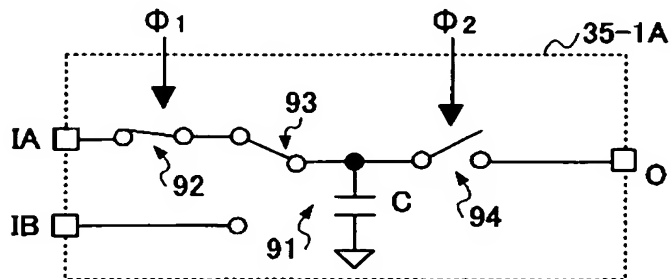
【図 9】

図 1 に示す容量回路の更に別の実施例を示す図



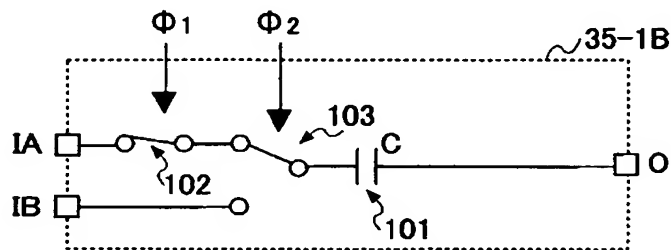
【図 1 0】

図4に示す容量回路の別の実施例を示す図



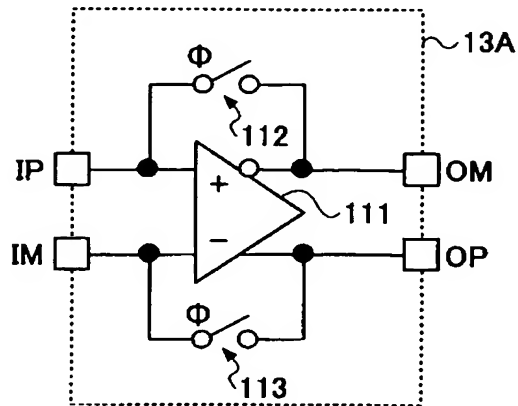
【図 1 1】

図4に示す容量回路の更に別の実施例を示す図



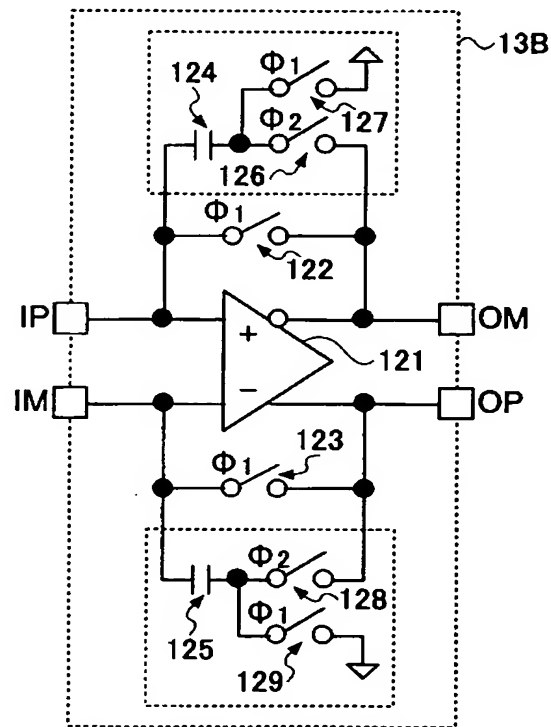
【図 1 2】

図1に示す増幅回路の別の実施例を示す図



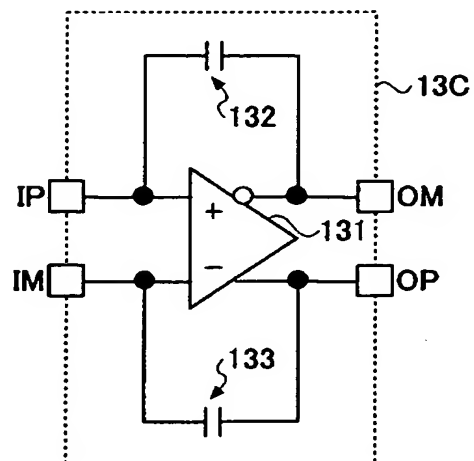
【図 1 3】

図1に示す増幅回路の更なる別の実施例を示す図



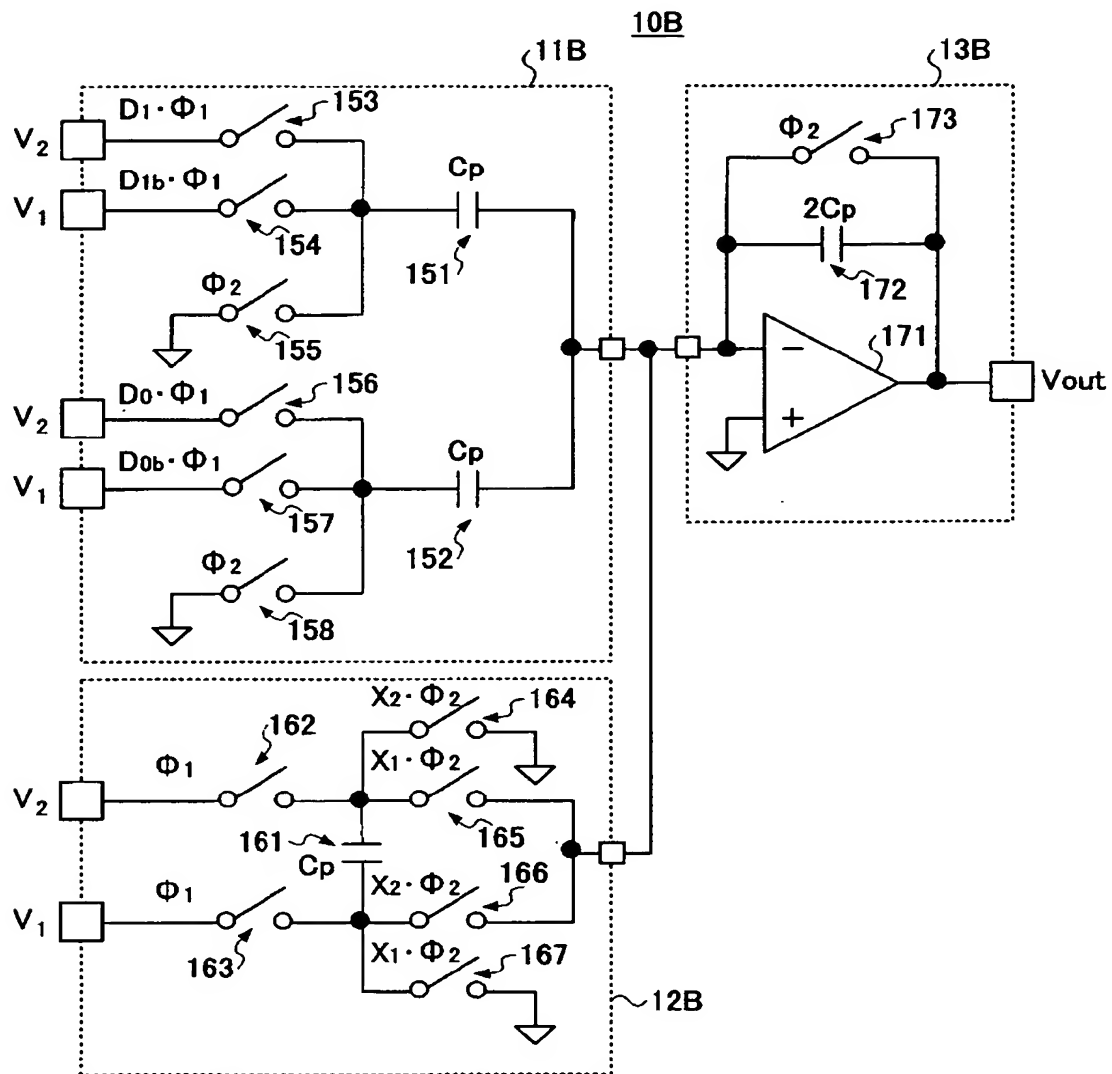
【図 1 4】

図 1 に示す増幅回路の更なる別の実施例を示す図



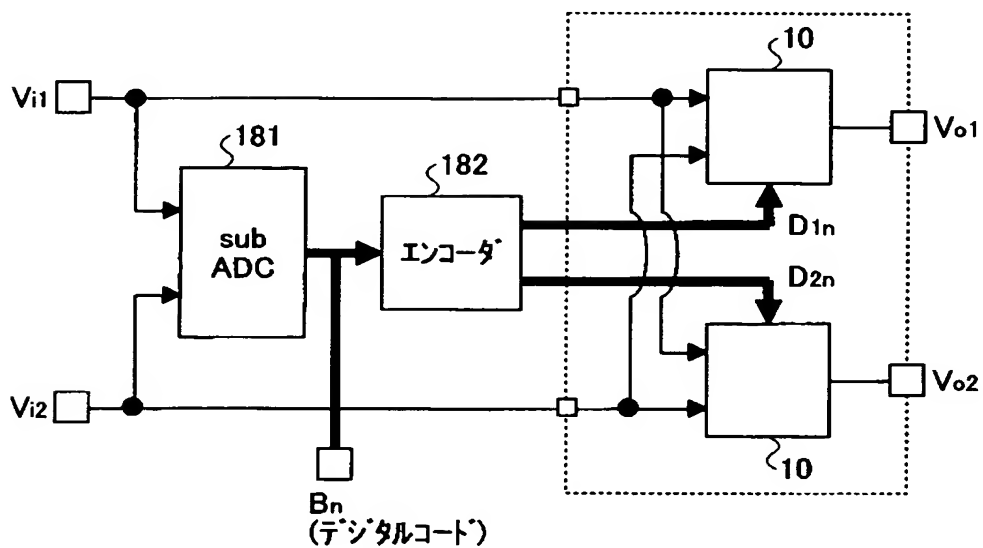
【図 15】

本発明による単一信号構成のスイッチトキャパシタ回路の構成を示す図



【図 16】

本発明によるスイッチトキャパシタ回路を使用したA/D変換器の構成の一例を示す図



【書類名】 要約書

【要約】

【課題】 本発明は、高精度に外分電圧を生成できる低消費電力且つ小面積な集積回路を提供することを目的とする。

【解決手段】 集積回路は、デジタル信号に応じた第 1 のアナログ電圧と第 2 のアナログ電圧との重み付け和に対応する第 1 の電荷量を保持する内分回路と、第 1 のアナログ電圧と第 2 のアナログ電圧との差に対応する第 2 の電荷量を保持する外分回路と、第 1 の電荷量と 2 の電荷量との和に応じた電圧を増幅して第 1 のアナログ電圧から第 2 のアナログ電圧までの範囲外の電圧を生成する増幅回路を含む。

【選択図】 図 1

特願 2 0 0 2 - 3 6 2 4 7 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日
[変更理由]

1 9 9 6 年 3 月 2 6 日

住所変更

住 所
氏 名

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
富士通株式会社